

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-130604

(43)Date of publication of application : 01.05.1992

(51)Int.Cl.

H01F 7/18

(21)Application number : 02-250962

(71)Applicant : FUJI ELECTRIC CO LTD

(22)Date of filing : 20.09.1990

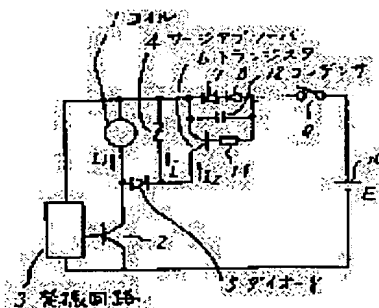
(72)Inventor : ISHIKAWA KIMITADA
ISHIKAWA MINORU

(54) DRIVE CIRCUIT OF ELECTROMAGNET DEVICE

(57)Abstract:

PURPOSE: To make small the size of a drive device and to quicken the release time of the device by a method wherein the drive device is provided with a delay circuit, which makes the state of continuity of a switching element remain for a prescribed time after a DC power supply is cut off.

CONSTITUTION: When a switch 9 is closed, a capacitor 12 is charged by a voltage drop of diodes 7 and 8. When the switch 9 is opened, a voltage E is eliminated and a voltage Vp of an oscillation circuit 3 is also annihilated. However, at this time, as a transistor Tr 6 has continuity by a charge in the capacitor 12, an electromagnetic energy stored in a fixed iron core is flowed from a coil 1 to the Tr 6 via a diode 5 as a current (I2). When the Tr 6 is turned-OFF, a current (i) first flows through a surge absorber 4, but at this time, as most of a stored energy is already emitted, this current (i) is quickly attenuated and an electromagnet device is released. Thereby, the absorber 4 is protected to a current of the discharge breakdown strength or more of the absorber 4 and the release time of a drive device can be quickened.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

Best Available C.

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑫ 公開特許公報(A) 平4-130604

⑤ Int. Cl.⁵

H 01 F 7/18

識別記号

L

庁内整理番号

9172-5E

⑬ 公開 平成4年(1992)5月1日

審査請求 未請求 請求項の数 4 (全5頁)

⑭ 発明の名称 電磁石装置の駆動回路

⑰ 特 願 平2-250962

⑱ 出 願 平2(1990)9月20日

⑲ 発 明 者 石 川 公 忠 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内

⑲ 発 明 者 石 川 稔 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内

⑳ 出 願 人 富士電機株式会社 神奈川県川崎市川崎区田辺新田1番1号

㉑ 代 理 人 弁理士 山 口 巖

明 細 書

1. 発明の名称 電磁石装置の駆動回路

2. 特許請求の範囲

1) 電磁石装置のコイルと並列に接続されたサージアブソーバとダイオードとの直列回路、前記サージアブソーバと並列に接続されたスイッチング素子、前記コイルに給電する直流電源および前記コイルに流す電流を制御する発振回路を備えた電磁石装置の駆動回路において、前記直流電源遮断後前記スイッチング素子の導通状態が所定時間継続する遅延回路を設けたことを特徴とする電磁石装置の駆動回路。

2) 請求項1記載の電磁石装置の駆動回路において、スイッチング素子をトランジスタとし、遅延回路は前記トランジスタのベースに接続された抵抗とエミッタとの間に接続されたコンデンサであることを特徴とする電磁石装置の駆動回路。

3) 電磁石装置のコイルと並列に接続されたサージアブソーバとダイオードとの直列回路、前記サージアブソーバと並列に接続されたスイッチング

素子、前記コイルに給電する直流電源および前記コイルに流す電流を制御する発振回路を備えた電磁石装置の駆動回路において、コイルに直列に接続した電流検出回路を設け、直流電源遮断後も前記電流検出回路の出力が所定値以下に低減するまで前記スイッチング素子の導通状態が継続するように前記電流検出回路とスイッチング素子の制御側とを結合したことを特徴とする電磁石装置の駆動回路。

4) 請求項3記載の電磁石装置の駆動回路において、電流検出回路とスイッチング素子の制御側との結合はホトカプラによることを特徴とする電磁石装置の駆動回路。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は電磁開閉器などを投入・遮断する電磁石装置の駆動回路に関する。

〔従来の技術〕

電磁開閉器などの投入・遮断は、普通電磁石装置の固定鉄心に巻かれたコイルに通電・遮断し、

可動鉄片を吸引・釈放することによりなされるが、この電磁石装置の駆動回路は小形安価で、吸引・釈放時間は短いことが望まれる。このためコイルにはフライホイール回路を設けたものが知られている。このような電磁開閉器に用いられる電磁石装置の駆動回路の従来例を第 4 図に示す。ここで図示しない固定鉄心に巻かれたコイル 1 はトランジスタ 2 のコレクタ・エミッタと直列に接続され、このトランジスタのベースは方形波発振回路 3 に接続されている。コイル 1 にはサージアブソーバ 4 とダイオード 5 の直列回路が並列に接続され、このサージアブソーバ 4 と並列にトランジスタ 6 のコレクタ・エミッタが接続されている。コイル 1 とトランジスタ 2 の直列回路の両端は、2 つのダイオード 7, 8 とスイッチ 9 の直列回路を介して直流電源 10 に接続されている。トランジスタ 6 のベースは抵抗 11 を介してダイオード 8 とスイッチ 9 の接続点に接続されている。

この電磁石装置の駆動回路の動作を第 5 図に示すタイムチャートを参照しながら説明する。スイ

ッチ 9 (第 5 図では S) を閉じるとコイル 1 とトランジスタ 2 の直列回路および方形波発振回路 3 に 2 つのダイオード 7, 8 を介して電源 10 が印加され発振回路 3 からトランジスタ 2 のベースに幅の広い投入パルス V_{p1} と引続き幅の狭い保持パルス V_{p2} からなる方形波パルス電圧 V_p が印加されるからコイル 1 に電流 I_1 が流れコイル 1 は図示しない可動鉄片を吸引する。このときトランジスタ 6 は 2 つのダイオード 7, 8 の電圧降下により導通状態にあるからパルス電圧 V_p が印加されない期間固定鉄心に蓄積された電磁エネルギーがコイル 1 から電流 I_2 として流れる。すなわち電流 I_1 は電源 10 からの電流と電流 I_2 との和である。スイッチ 9 を開けば電圧 E は除かれ発振回路 3 の出力も消滅し、電流 I_2 は遮断される。しかし固定鉄心には電磁エネルギーが蓄えられているからこの電磁エネルギーによりダイオード 5 を介してサージアブソーバ 4 に電流 i が流れる。そしてこの電流 i が流れている間、コイル 1 は可動鉄片を吸引しているが蓄えられた電磁エネルギーの放出が終わると可動鉄片

は釈放され電磁開閉器は遮断される。

〔発明が解決しようとする課題〕

第 5 図においてはパルス電圧 V_{p2} が立ち上る直前にスイッチ 9 が開かれている。したがってトランジスタ 6 に電流 I_2 が流れ、電磁石装置の蓄積エネルギーがある程度放出された後サージアブソーバ 4 に電流 i が流れるからサージアブソーバ 4 の負担は小さい。しかしもし、スイッチ 9 が破線で示すようにパルス電圧 V_{p2} の立ち下った直後に開かれると以後電流 I_2 は流れないから電流 i は大きくなるか、電磁エネルギーが放出し終るまで長時間継続する。また従来装置においては電磁開閉器が大形になると電磁石装置の容量も大きくなり蓄積する電磁エネルギーも大きくなり、サージアブソーバに流れる電流 i も大きくなるがこの電流 i には限度があり、電源をオフすると電磁エネルギーの放出時間が長くなり可動鉄片の釈放時間も遅れる。そこで複数のサージアブソーバを並列に接続して電磁エネルギーの放出を早めているが、このようにすると駆動回路が高価になり大形になる

という欠点がある。

本発明の目的は小形安価でサージアブソーバの放電耐量以上の電流に対し、サージアブソーバを保護し、釈放時間の早い電磁石装置の駆動回路を提供することにある。

〔課題を解決するための手段〕

上述の課題を解決するため第 1 の発明は、電磁石装置のコイルと並列に接続されたサージアブソーバとダイオードとの直列回路、前記サージアブソーバと並列に接続されたスイッチング素子、前記コイルに給電する直流電源および前記コイルに流す電流を制御する方形波発振回路を備えた電磁石装置の駆動回路において、前記直流電源遮断後前記スイッチング素子の導通状態が所定時間継続する遅延回路を設けたことを特徴とし、具体的にはスイッチング素子をトランジスタとし、遅延回路は前記トランジスタのベースに接続された抵抗とエミッタとの間に接続されたコンデンサであることを特徴とする。第 2 の発明ではコイルに直列に接続した電流検出回路を設け、電源遮断後も前

記電流検出回路の出力が所定値以下に低減するまで前記スイッチング素子の導通状態が継続するように前記電流検出回路とスイッチング素子の制御側とを結合したことを特徴とし、具体的には電流検出回路とスイッチング素子の制御側との結合はホトダイオードによることを特徴とする。

〔作用〕

第1の発明では遅延回路を設けて、直流電源を遮断してもスイッチング素子がこの遅延回路によりオン状態を保ち、このスイッチング素子により固定鉄心の蓄積エネルギーを放出し、サージアブソーバに耐量以上の電流が流れないようにしてこれを保護するとともに電磁石装置の釈放すなわち電磁開閉器の遮断を迅速にする。具体的にはトランジスタのベースに接続されたコンデンサの電荷により電源遮断後もトランジスタにベース電流を流し、このトランジスタの導通状態を継続する。第2発明ではコイルに直列に電流検出回路を接続し、この電流検出回路の出力でスイッチング素子を導通させ、このスイッチング素子により固定鉄

心の蓄積エネルギーを放出させ、サージアブソーバに過大の電流が流れないようにするとともに電磁石装置の釈放を迅速にする。

〔実施例〕

本発明の実施例を第1図ないし第3図に示し、第4図と同一のものには同図と同一の符号を付している。第1図は第1の発明の実施例を示しコイル1とベースが方形波発振回路3に接続されたトランジスタ2、コイル1に並列に接続されたサージアブソーバ4とダイオード5の直列回路、このサージアブソーバ4と並列に接続されたトランジスタ6およびコイル1とトランジスタ2の直列回路に接続され電源10に接続された2つのダイオード7、8とスイッチ9の直列回路、トランジスタ6のベースが抵抗11を介してダイオード8とスイッチ9の接続点に接続されている点などは従来のものと全く同一である。この発明が従来のものと異なる点はトランジスタ6のベースに接続された抵抗11とエミッタの間にコンデンサ12が接続されていることである。

この実施例の動作を第2図に示すタイムチャートを参照しながら説明する。スイッチ9を閉じたとき駆動回路に流れる電流は既に述べた第5図に示すものと全く同様であるからこの説明は省略するがスイッチ9(第2図ではS)を閉じたときコンデンサ12は2つのダイオード7、8の電圧降下により充電される。スイッチ9を開けば電圧Eは除かれ発振回路3の V_p も消滅する。しかしこのときコンデンサ12の電荷によりトランジスタ6は導通しているから固定鉄心に蓄積された電磁エネルギーはコイル1からダイオード5を介してトランジスタ6に電流 I_2 として流れる。そしてトランジスタ6がオフしたときはじめてサージアブソーバ4に電流 i が流れるがこのとき既に蓄積エネルギーの大部分は放出されているからこの電流 i はすばやく減衰し電磁石装置は釈放される。

第3図は第2の発明による実施例を示す。この実施例ではコイル1と直列に電流検出回路13が接続されている。この電流検出回路13は、抵抗14、2つの抵抗15、16の直列回路およびトランジスタ

17のエミッタ・コレクタと発光ダイオード18aの直列回路が並列に接続され、トランジスタ17のベースが2つの抵抗15、16の接続点に接続されている。この検出回路13の検出レベルは2つの抵抗15、16により決定されるがそのレベルは後に述べるサージアブソーバ4の耐量以下に設定されている。コイル1に接続されたトランジスタ2とこのトランジスタ2を駆動する方形波発振回路3は従来のものと同様である。コイル1と電流検出回路13と並列にサージアブソーバ4とダイオード5の直列回路が接続され、サージアブソーバ4と並列に高入力インピーダンスの電界効果トランジスタ(以下FETと略称する)19のソース・ドレインが接続され、このFET19のゲートとソースとの間にトランジスタ20が接続されて、このトランジスタ20のベースとコレクタとの間に抵抗21が、ベースとエミッタとの間にダイオード22がそれぞれ接続されている。また抵抗21と並列にホトダイオード18bとダイオード23の直列回路およびホトダイオード24bとダイオード25の直列回路がそれぞれ接続され

ている。ホットダイオード18bは電流検出回路13の発光ダイオード18aとホットカブラ18を構成している。さらに電流検出回路13、コイル1およびトランジスタ2の直列回路と並列に発光ダイオード24aと抵抗26の直列回路が接続され、発光ダイオード24aとホットダイオード24bはホットカブラ24を構成している。この電磁石装置の駆動回路は従来のものと同様に直流電源10がスイッチ9を介して給電される。

スイッチ9を閉じると発振回路3とトランジスタ2は第1図と同様な動作をする。そして発光ダイオード24aが発光するからホットダイオード24bは電圧を発生し、トランジスタ20とFET19は直ちにオンする。オン状態になったFET19はトランジスタ2のベースにパルス電圧が印加されない期間にはコイル電流 I_1 はFET19に流れる。この電流 I_1 によりトランジスタ17がオンし、発光ダイオード18aが発光するからダイオード18bは電圧を発生し、トランジスタ20のオン状態を助ける。スイッチ9を開くと発光ダイオード24aは直ちに消光しホットダイオード24bの電圧は消滅するが、コイル1には

FET19を介して~~コイル1には~~電流 I_2 （第1図に示す実施例参照）が流れるためトランジスタ17はオン状態を続け、発光ダイオード18aが発光しているからホットダイオード18bは電圧を発生し続けており、トランジスタ20とFET19はオン状態を続ける。固定鉄心の蓄積エネルギーが放出終期に近づき電流 I_2 が低減して、電流検出回路13の検出レベル以下になるとトランジスタ17はオフし、発光ダイオード18aは消光するからホットダイオード18bの電圧は消滅し、トランジスタ20とFET19がオフに転じ、残りの蓄積エネルギーはサージアブソーバ4に電流1として放出され電磁石装置は釈放される。

以上の実施例ではツェナダイオード4の役目はほとんどないように見られるが、トランジスタ6やFET19またはその制御回路が何らかの故障でトランジスタ6やFET19が動作しないときは、ツェナダイオード4が動作し、コイル1の焼損を防止する。

〔発明の効果〕

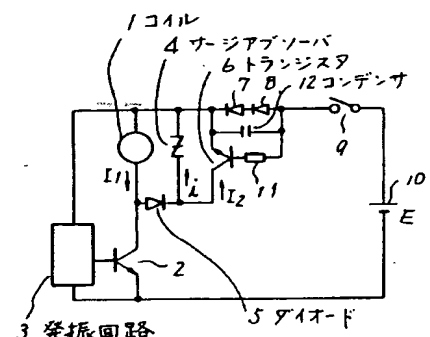
以上述べたように本発明によれば、電磁開閉器

などの投入時にその電磁石装置に蓄積された電磁エネルギーはその遮断時に電磁石装置の駆動回路に設けたスイッチング素子により放出されるから電磁石装置が大形でその蓄積エネルギーが大きい場合も1個のサージアブソーバでよく、駆動装置を小形にしかつ釈放時間の早い電磁石装置を提供することができる。

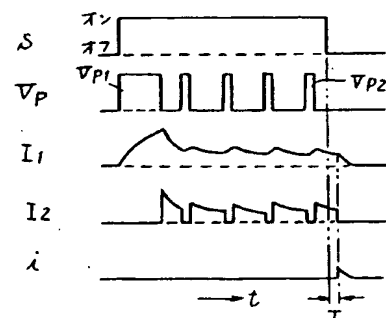
4. 図面の簡単な説明

第1図ないし第3図は本発明による電磁石装置の駆動回路の実施例を示し、第1図および第3図はそれぞれ異なる実施例を示す結線図、第2図は第1図の動作を示す結線図、第4図および第5図は従来の電磁石装置の駆動回路の一例を示し、第4図は結線図、第5図は第4図の動作を示すタイムチャートである。

1：コイル、3：~~方形パルス~~発振回路、4：サージアブソーバ、5：ダイオード、6：トランジスタ、11：抵抗、12：コンデンサ、13：電流検出回路、18：ホットカブラ、19：FET。

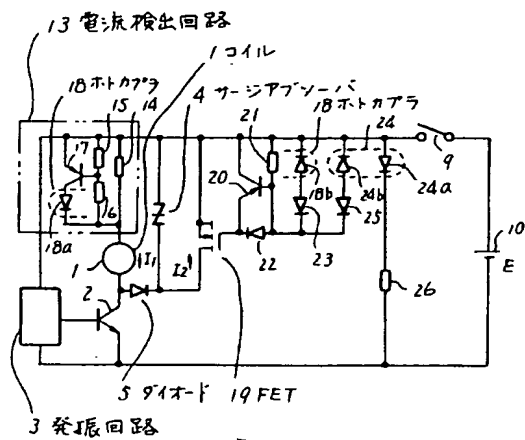


第1図

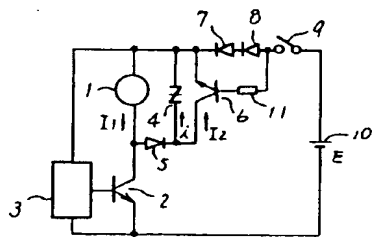


第2図

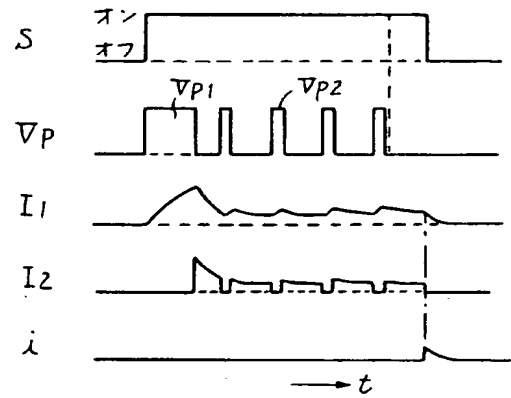




第 3 図



第 4 図



第 5 図